

**Family list**

**1** family member for:

**JP2000025**

Derived from 1 application.

**1 DRIVING DEVICE**

**Publication info: JP2000025 A - 1990-01-05**

---

Data supplied from the *esp@cenet* database - Worldwide

**Patent number:** JP2000025  
**Publication date:** 1990-01-05  
**Inventor:** OKUBO YUKITOSHI  
**Applicant:** CANON KK  
**Classification:**  
- international: **G02F1/136; H01L27/12; H01L29/78; G02F1/13;  
H01L27/12; H01L29/66; (IPC1-7): G02F1/136;  
H01L27/12; H01L29/78; H01L29/784**  
- european:  
**Application number:** JP19890109527 19890428  
**Priority number(s):** JP19890109527 19890428

**Report a data error here**

**Abstract of JP2000025**

**PURPOSE:**To shield a thin film transistor (TR) from an external voltage by forming a conductive layer on the entire surface of an upper substrate and another conductive layer below the circuit constitution layer of a lower substrate and grounding the both. **CONSTITUTION:**A thin film electrode TC2 is formed on one side of the upper substrate B2. Then both substrates B1 and B2 are faced each other across a spacer so as to leave a specific gap and an electrooptic modulating material LC is sandwiched; and then the periphery is sealed to constitute a display device. In this constitution, metal gates are provided only below semiconductors SC1, SC2, SC3, SC4, etc., so the semiconductors SC1, SC2, SC3, SC4... are prevented from causing photoconductive influence with light which is made incident on the respective semiconductors from the side of the lower substrate B1 and the thin film TR can be shielded from the external voltage.

## ⑫ 公開特許公報(A) 平2-25

⑤ Int. Cl.<sup>5</sup>G 02 F 1/136  
H 01 L 27/12  
29/784

識別記号

5 0 0

庁内整理番号

7370-2H  
7514-5F

A

④ 公開 平成2年(1990)1月5日

8624-5F

H 01 L 29/78

3 1 1 A

審査請求 有 発明の数 1 (全6頁)

⑥ 発明の名称 駆動装置

① 特 願 平1-109527

② 出 願 昭54(1979)10月31日

③ 特 願 昭54-141869の分割

⑦ 発 明 者 大 久 保 幸 俊 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑧ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

⑨ 代 理 人 弁理士 丸 島 儀 一

## 明 細 書

## 1. 発明の名称

駆動装置

## 2. 特許請求の範囲

a. 複数の行及び列に沿って配列した複数の薄膜トランジスタ、行に沿って配列した複数の薄膜トランジスタのゲートを共通に接続したゲート線、列に沿って配列した複数の薄膜トランジスタのソースを共通に接続したソース線、並びに薄膜トランジスタ毎のドレインと並列接続した第1のコンデンサ及び第2のコンデンサを有し、第1のコンデンサが薄膜トランジスタのドレインと接続したセグメント電極、該セグメント電極と対向配置した第1の対向電極及び該セグメント電極と第1の対向電極との間に配置した液晶層によって形成され、且つ第2のコンデンサが前記セグメント電極、該セグメント電極の背面に対向配置し、薄膜トランジスタのゲートと絶縁した第2の対向電極及び該セグメント電極と第2の対向電極との間に配置した絶縁膜によって形成さ

れ、該第2のコンデンサの第2の対向電極を共通に接続するための接続導電部を有する回路、並びに

b. 選択されたゲート線に駆動電圧を印加し、ソース線に画像情報に応じた信号を印加し、第1の対向電極と第2の対向電極とを電気的に独立にバイアス電圧を印加する手段を有する駆動装置。

## 3. 発明の詳細な説明

〔発明の分野〕

本発明は表示駆動装置、特に、新規構成の薄膜トランジスタ(TFT)アレイを設けた基板を具備した表示駆動装置に関する。

〔従来技術〕

従来、この種の装置としては特開昭50-17599号明細書に記載の表示セルが知られている。

斯かる表示セルの駆動用スイッチング素子に於いては、第6図に示すように、基板B上にゲート線G<sub>1</sub>、G<sub>2</sub>…、更にこれらの上の全面にわたって絶縁層I、半導体SCを積層している。又、ゲー

ト線  $G_1$ ,  $G_2$  に交差して、半導体 SC に接するソース線  $S_1$ ,  $S_2$  を設け、ゲート線とソース線の交点付近にはセグメント電極となるドレイン  $D_1$ ,  $D_2$ ,  $D_3$ ,  $D_4$  が設けられている。

上記半導体 SC は薄膜状に形成され、TFT (Thin Film Transistor) で代表される様な駆動用スイッチング素子となっている。

そして、上記駆動用スイッチング素子アレイを有する基板と、対向電極 (例えば全面電極) を設けた対向基板との間に液晶層を挟持することにより、第7図の等価回路が形成される。

ゲート線  $G_1$ ,  $G_2$ , ... には駆動電圧が、ソース線  $S_1$ ,  $S_2$ , ... には信号が印加され、且つこれらに対しては、それぞれ適当な行発生源 ( $R_1$ ,  $R_2$  ...  $R_n$  及び  $P_1$ ,  $P_2$  ...  $P_n$ ) が接続され、行一時走査が行われる。

又、 $T_{11}$ ,  $T_{12}$ ,  $T_{21}$ ,  $T_{22}$ , ... は、上述のようにして構成される TFT であり、 $C_{11}$ ,  $C_{12}$ ,  $C_{21}$ ,  $C_{22}$ , ... は、TFT スwitching 素子アレイの各ゲート線とそれ自身のドレインとの間に形成

される液晶層を含むコンデンサー、 $C_1$  は TFT のドレインと、該ドレインに対応するゲート線 ( $G_2$ ) に隣接するゲート線 ( $G_1$ ) に導通した電極 P との間に形成される蓄積用コンデンサーである。

上記の様な回路では、信号が選択されたゲート線に印加された瞬間に、ソース線の電圧がドレインに加わり表示がなされる。その立ち上がりの時定数は、半導体のオン (ON) 抵抗と容量 (液晶層を含むコンデンサー及び蓄積コンデンサーの和) との積で決定される。

しかしながら、上記いずれの表示セルにも、解決されるべき問題が存在している。例えば、第6図に於いて例示した駆動用スイッチング素子を備えた表示装置では第7図の等価回路で示されるように、蓄積用コンデンサー  $C_{11}$  の対極はアドレスを行うためのゲート線に対極とすることになり、このコンデンサーに所定の電圧を付与するには、ゲート信号電圧に対する差分の電圧を  $P_1$  に供給しなければならない。更に液晶の容量成分  $LC_{11}$  が無視できない大きさを持つ時には、 $C_{11}$  と  $LC_{11}$  の容量比

される蓄積用コンデンサー、 $LC_{11}$ ,  $LC_{12}$ ,  $LC_{21}$ ,  $LC_{22}$ , ... はドレイン ( $D_1$ ,  $D_2$ ,  $D_3$ ,  $D_4$ , ...) とアースされた対向電極 (不図示) との間に形成される液晶層を含むコンデンサーである。

一方、上記と類似の表示セルとして IEEE Trans. on Electron Devices ED-20, P.995 (1973) に開示されている様な表示セルもある。斯かるセルに係る駆動用スイッチング素子セグメントの一部の平面図を第3図に示す。

即ち、複数のゲート線  $G_1$ ,  $G_2$ , ... がガラス等の基板上に設けられ、この上に絶縁層 (不図示) を介して、半導体 SC を設ける。該半導体 SC の一端にはソース線  $S_1$ 、他端には表示用セグメントのドレイン  $D_1$  が接触して設けられる。該ドレイン  $D_1$  の下面には、半導体 SC が設けられているゲート線  $G_2$  に対し隣接するゲート線  $G_1$  に導通した電極 P が対向している。この構成の等価回路を第4図に示す。この等価回路図に於いて、(第7図と同様に、)  $T_1$  は第3図で示す TFT、 $LC_1$  は、ドレイン  $D_1$  とアースされた対向電極 (不図示) との間に形成

に応じて補正された信号を  $P_1$  に与えなければならず、複雑な信号処理を必要とする。又別の問題は、このような構成のセルでは、構成の一部を成す半導体が不透明であったり、光導電性を有する意味で表示部を透過型にできない点である。一方、第3図に示す駆動用スイッチング素子を備えた表示装置の構成では、第4図の等価回路に見る通り、 $G_2$  が ON の時、 $G_1$  が接地であれば、 $S_1$  の信号電圧は  $C_1$  に蓄積され、 $G_2$  が OFF になった後、 $S_1$  に与えた所定の電圧が  $LC_1$  に印加されることとなり回路から見た点では問題を生じない。

ところが、このセルは本来透過型構成が可能な構造でありながら、実際に透過型セルとして製造するためには問題を生ずる。即ち、蓄積用コンデンサー  $C_1$  の対極として、絶縁層 (不図示) を介して、ドレイン  $D_1$  の下に P なる電極を形成しなくてはならない。一般に表示絵素単位となる  $D_1$  の面積は、有効表示面積として大きくしたい、同時にこの絵素を高密度化しようとする時、非表示部となるゲート線  $G_1$  はできるだけ細くしなければなら

ない。ところが、細線化すれば、抵抗値が上昇するので、この点では導電性の良い金属膜の使用が必要となる。従って、表示絵素つまりドレイン $D_1$ の対極用電極 $P$ を透過型として構成する為に透明導電膜を使用すれば、このゲート線金属と透明導電膜と異なる部材を用いることになる。この構成は微細パターンを形成する時、加工方法を難しくすると同時に工程が増えて好ましくない。この様に第3図の構成は回路的には第1図のものより都合が良く、又透過型セルが構成できる長所も有するが、製造上は複雑であり、又加工工数も多くなる欠点も持つ。

〔発明の概要〕

そこで本発明は上記諸点に鑑みてなされたものであり、第1の目的は高密度な画素を有する表示装置を、高い信頼性を保ち、生産しやすい表示用パネルとして与えることである。又他の目的は簡略な駆動方法によって、安定した均一な画像特性を示す表示装置を与えることにある。更に本発明の別の目的は上記二つの目的に適した透過型表示パネルを与えることである。

- b. 選択されたゲート線に駆動電圧を印加し、ソース線に画像情報に応じた信号を印加し、第1の対向電極と第2の対向電極とを電気的に独立にバイアス電圧を印加する手段
- を有する駆動装置を特徴としている。

〔発明の態様の詳細な説明〕

以下、本発明を図面によって説明する。

第5図は本発明に係る駆動用スイッチング素子アレイを設けた基板の略面的斜視図である。ガラス等からなる基板 $B_1$ 上に導電膜 $TC_1$ が全面に形成されている。更にこの上面に絶縁層 $I_1$ が積層されている。本発明ではこのような加工を施した基板上に通常のTFTアレイを構成してなるものである。絶縁層 $I_1$ の上にゲート線 $G_1$ 、 $G_2$ が設けられ、このゲート構成部では後に重畳する半導体下面に延在するようパターンが形成されている。このゲート線 $G_1$ 、 $G_2$ 、…の上に別途絶縁層 $I_2$ が全面に形成されている。そして、前記ゲート構成部の上に絶縁層 $I_2$ を介して薄膜半導体 $SC_1$ 、 $SC_2$ 、 $SC_3$ 、 $SC_4$ 、…が図示の如く形成されている。この半導

叙上の目的を達成する本発明の表示駆動装置は、

a. 複数の行及び列に沿って配列した複数の薄膜トランジスタ、行に沿って配列した複数の薄膜トランジスタのゲートを共通に接続したゲート線、列に沿って配列した複数の薄膜トランジスタのソースを共通に接続したソース線、並びに薄膜トランジスタ毎のドレインと並列接続した第1のコンデンサ及び第2のコンデンサを有し、第1のコンデンサが薄膜トランジスタのドレインと接続したセグメント電極、該セグメント電極と対向配置した第1の対向電極及び該セグメント電極と第1の対向電極との間に配置した液晶層によって形成され、且つ第2のコンデンサが前記セグメント電極、該セグメント電極の背面に対向配置し、薄膜トランジスタのゲートと絶縁した第2の対向電極及び該セグメント電極と第2の対向電極との間に配置した絶縁膜によって形成され、該第2のコンデンサの第2の対向電極を共通に接続するための接続導電部を有する回路、並びに

体 $SC_1$ 、 $SC_2$ 、 $SC_3$ 、 $SC_4$ 、…の一端に接して、前記ゲート線と直交するソース線 $S_1$ 、 $S_2$ 、…が設けられ、更に前記各半導体の他端に接してドレイン $D_1$ 、 $D_2$ 、 $D_3$ 、 $D_4$ 、…が設けられる。これ等のドレイン $D_1$ 、 $D_2$ 、 $D_3$ 、 $D_4$ …は何れも蓄積用コンデンサの一方の電極であると同時に表示絵素用のセグメント電極を兼ねるものである。このように構成した駆動用スイッチング素子アレイを有する基板と、別に、その片面に電極を形成した基板とで電気光学的変調材料を挾持した構成の表示セルの部分断面構造を、第1図に示す。なお、第1図に於ける図面下側の基板の構成は第5図のA-A'断面を示したものである。そして、第1図中、下部の基板に関しては第5図と同一の記号を用いているものは同一の部材であり第5図の説明を援用して、ここでは、その説明を省く。図面上側の基板 $B_2$ の片面には薄膜電極 $TC_2$ が形成されている。この両基板 $B_1$ 、 $B_2$ が所定の間隙を保つようスペーサ（不図示）を介して互に対向させ電気光学変調材料LCを挾持させた後周囲を密閉シールして第1図に

図示した表示装置が構成される。このような表示装置の一絵素分についての等価回路を第2図に示す。第2図に於いて $S_1$ 、 $S_2$ はソース線、 $G_1$ 、 $G_2$ はゲート線で第5図に示すものと同一要素である。 $LC_1$ はドレイン電極 $D_1$ と対向電極 $TC_2$ が電気光学的変調材料 $LC$ を挟んで構成される表示絵素である。 $C_1$ は蓄積用コンデンサーで、ドレイン電極 $D_1$ と、本発明に特有の電極 $TC_1$ とによって絶縁層 $I_1$ を介して形成されたコンデンサーである。そして、 $T_1$ は $G_1$ のゲート構成部上に絶縁層 $I_2$ を介して設けた半導体 $SC_1$ にオーミックな接続をしてなるソース電極 $S_1$ とドレイン $D_1$ が所定のギャップで形成するMOS形のトランジスタである。

叙上の図示例による本発明の特徴は $C_1$ が常時対極を接地状態で作動でき、先に説明した第4図に示す等価回路に類似して動作させやすいこと。又ゲート線と蓄積用コンデンサーの対極を一体化しないため同一部材を用いないで済み、蓄積コンデンサーの対極としてのパターンニングが不要であると同時に、透過型構成に表示装置を製作する

時、設計に任意性がもたらされる。即ち、ゲート線を細線化する時抵抗値が上昇するのを防ぐ意味で良導電性の金属部材を使用する場合、 $TC_1$ に対しては透明導電膜で構成する如き構成が可能となる点である。又このような構成では半導体 $SC_1$ 、 $SC_2$ 、 $SC_3$ 、 $SC_4$ …等の下部だけ金属ゲートが設けられるので、各半導体への下部基板 $B_1$ 側から入射する光によって、半導体 $SC_1$ 、 $SC_2$ 、 $SC_3$ 、 $SC_4$ …が光導電的影響を生じるのを防止できるという効果も付加される。

本発明による効果は透過型構成を採用するときのみに止まるものではない。即ち反射型の表示装置を構成する場合には、ドレインの各絵素とソース線間に生ずる隙間に対して、各ドレインの反射性金属と同一の部材によって導電膜 $TC_1$ を形成すれば、見掛上光学的に一樣な反射性をもった表示面が構成でき、しかも前述の如き動作上の効果をも製造しやすい構成で得られる。更に前述のように下部基板 $B_1$ の側から入射する光の遮蔽効果も透過型表示装置の場合以上に強化できる。

これ等透過型構造や反射型構造のいずれにおいても得られる更に別の効果も本発明にはある。即ち、第1図に示した本発明による構成は上基板 $B_2$ の全面に導電層 $TC_2$ 、下基板 $B_1$ の回路構成層の下側に別の導電層 $TC_1$ が形成されており、これを第2図に示すように両者共接地すれば、このTFTアレイ回路部は外部電界に対してシールド効果をもたらす点である。このようなシールド効果はMOS構造のトランジスタの安定動作に対して有利となる。又、本発明ではこれ等の導電膜 $TC_1$ 、 $TC_2$ は電気的に独立であるから、必要に応じて、一方のみ又は両方に所定のバイアス電圧を印加することもできる。

以上述べたように、本発明は表示装置に係る製造技術上の効果と駆動上の効果を兼ね備えたものである。

本発明で使用される材料は基板( $B_1$ 、 $B_2$ )として、ガラスが一般的なものであるが、表示装置を反射型にする場合には、一方を金属、セラミックス等不透明な材料としても良い。

導電性材料、即ちゲート線 $G_1$ 、 $G_2$ 、…、ソース線 $S_1$ 、 $S_2$ 、…、ドレイン $D_1$ 、 $D_2$ 、 $D_3$ 、 $D_4$ 、…対向電極 $TC_2$ 、導電膜 $TC_1$ には、透明性を要する時には $ln_2O_3$ 、 $SnO_2$ 等の透明導電性無機酸化物の薄膜不透光性で良い場合は、 $Al$ 、 $Ag$ 、 $Pd$ 、 $Pt$ 、 $Cr$ 、 $Ni$ 、 $Mo$ 、 $Si$ 等の金属又は合金による薄膜を用いる。更に絶縁層としては $SiO$ 、 $SiO_2$ 、 $TiO_2$ 、 $ZrO_2$ 、 $Al_2O_3$ 、 $CeO_2$ 等の金属酸化物、 $MgF_2$ 、 $CaF_2$ 等のハロゲン化物、チツ化シリコン等から適宜選ばれる。半導体 $SC_1$ 、 $SC_2$ 、 $SC_3$ 、 $SC_4$ 、…としては $CdS$ 、 $CdSe$ 、 $Se$ 、 $Te$ の他のアモルファスシリコン等が選択使用される。

電気光学的変調材料 $LC$ としては液晶、EC(エレクトロクロミー)、EL(エレクトロルミネセンス)等が用いられる。液晶は、表示動作モードに応じてネマティック、コレステリック、スメクティックを示す液晶の単体及び混合物を用いる。これ等の表示動作モードはいわゆるTN、DAP、DSM、HAN、ゲストホスト、相転移等いずれの

タイプであっても良く、選択したモードと表示効果から、適当な光学的検知手段（ $\lambda/4$ 板、偏光板、反射板、カラーフィルター、レンズ、照明装置）を適宜選択して本発明装置に付加する。

〔発明の効果〕

本発明で用いるコンデンサは、その対極がゲート線から絶縁されているため、ゲート線とは独立にバイアス電圧を設定することができ、キャパシタとなる絶縁膜が第6図に示す様にコンデンサ対極の導電膜をゲートから絶縁する時に用いた絶縁膜から延長して形成されているため、コンデンサ対極となる導電膜が基板上の全面に亘って形成することができ、このため外部の電圧から薄膜トランジスタをシールドすることができる。

従って、本発明によれば、例えば液晶駆動の温度補償を与えるために、コンデンサ対極の導電膜にバイアス電圧を設定しても、この電圧による薄膜トランジスタの誤動作を生じることがない。

叙上の本発明による表示装置は駆動性、生産性、信頼性が良く高密度画素を持つ、小型表示器として、

テレビ、ビデオカメラ用モニター等の表示装置に好適に使用することができる。

#### 4. 図面の簡単な説明

第1図は、本発明表示装置の構成例の部分断面図であり、第2図は本発明の駆動装置に於ける一画素分の等価回路図である。第3図及び第6図は、従来の駆動用スイッチング素子アレイの構成例を示す説明図であり、第4図は第3図の等価回路図であり、第5図は本発明に係る駆動用スイッチング素子アレイ設置基板の略画的構成図、第7図は第6図の等価回路図である。

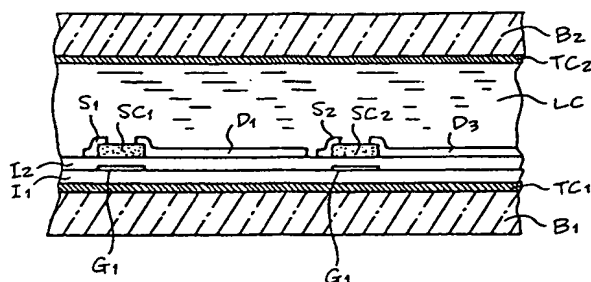
図に於いて、 $B_1$ 、 $B_2$ は基板、 $TC_1$ は導電膜、 $TC_2$ は薄膜電極、 $I_1$ 、 $I_2$ は絶縁層、 $G_1$ 、 $G_2$ はゲート線、 $S_1$ 、 $S_2$ はソース線、 $SC_1$ 、 $SC_2$ 、 $SC_3$ 、 $SC_4$ は半導体、 $D_1$ 、 $D_2$ 、 $D_3$ 、 $D_4$ はドレイン、 $LC$ は電気光学的変調材料である。

特許出願人 キヤノン株式会社

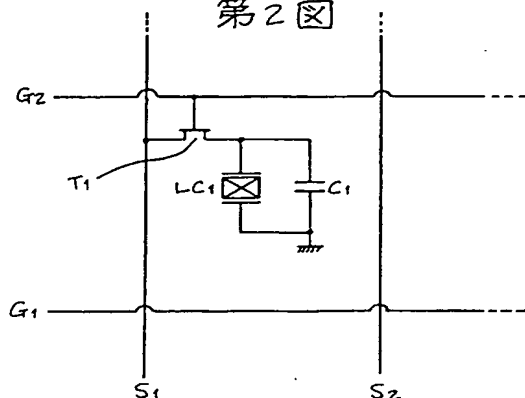
代理人 丸 島 儀 一



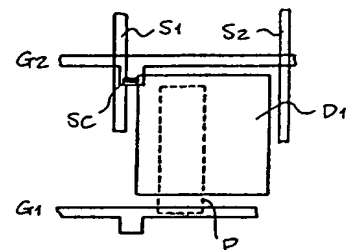
第 1 図



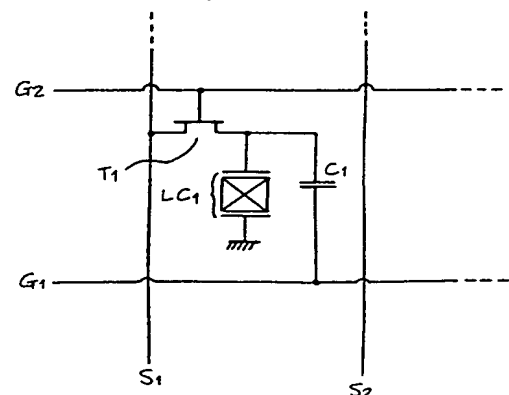
第 2 図



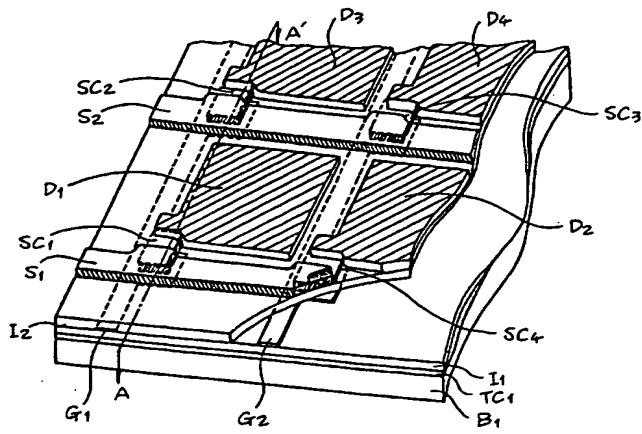
第 3 図



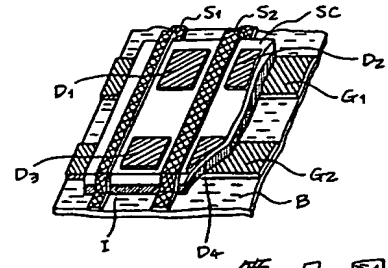
第 4 図



第 5 図



第 6 図



第 7 図

